

Cours 5 : Bascules, Registres, Compteurs, Mémoires

q Bascules

- Bascule RS asynchrone Reset Set
- Bascule Synchrone R S T
- Bascule JK, Toggle, bascule D

q Registres

- Registre parallèle
- Registre sérialisé
- Registre à décalage
- Codeur : Opération inverse d'un décodeur

q Compteur

- Compteur
- Décompteur
- Timer

q Mémoire

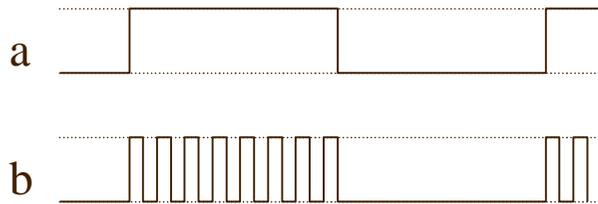
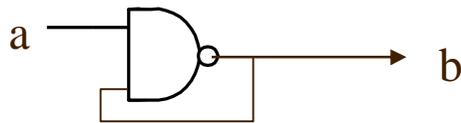
- Circuit mémoire
- Banc mémoire

- Circuit asynchrone : les sorties réagissent immédiatement aux variations des entrées
- Circuits synchrones : les sorties se positionnent sur un signal d'horloge

Bascule Asynchrone : la bascule R S Reset (mise à 0) Set (mise à 1)

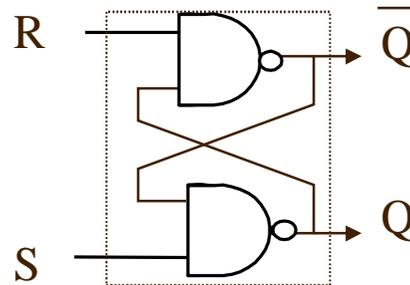
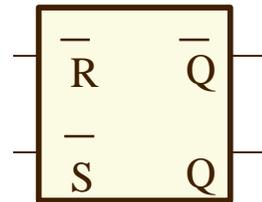
Ä Une circuit asynchrone, est une bascule dont la sortie évolue dès lors qu'un changement a lieu sur l'une des entrées

∅ Exemple de circuit



∅ Une seule bascule asynchrone, la bascule RS

Asynchrone, active bas



Asynchrone, active haut

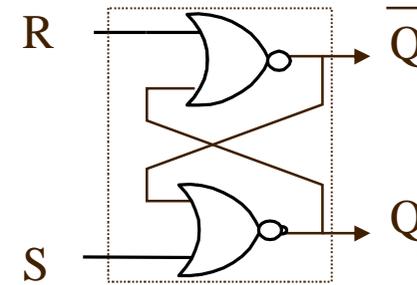
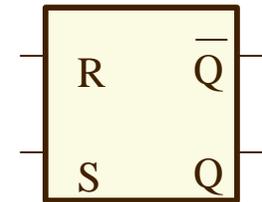


Table de vérité

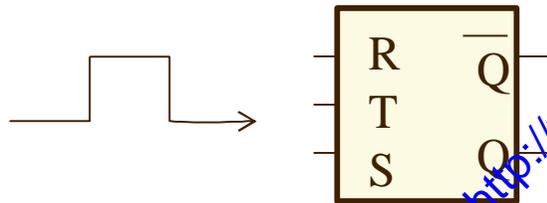
R	S	Q _t	Q _{t+}	Fonction
1	1	Q ₀	Q ₀	Mémoire
1	0	Q ₀	1	Mise à 1
0	1	Q ₀	0	Mise à 0
0	0			Interdit

R	S	Q _t	Q _{t+}	Fonction
0	0	Q ₀	Q ₀	Mémoire
0	1	Q ₀	1	Mise à 1
1	0	Q ₀	0	Mise à 0
1	1			Interdit

Bascule synchrone : exemple du latch R S T sur niveau 1

La sortie évolue quand le signal d'horloge est actif soit sur niveau, soit sur front

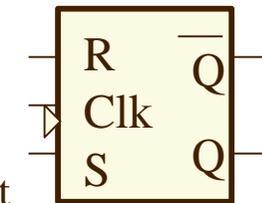
4 Latch déclenché sur niveau haut



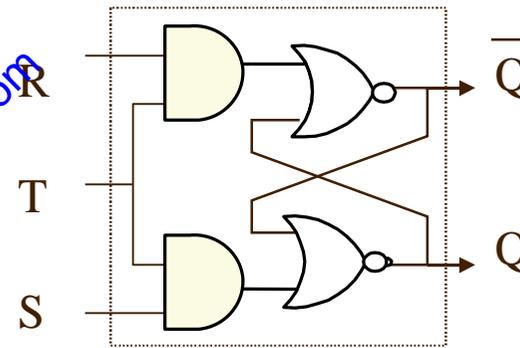
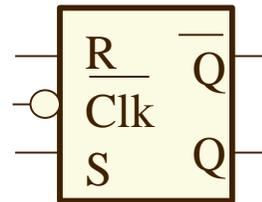
4 Latch déclenché sur niveau bas



4 Registre sur front montant



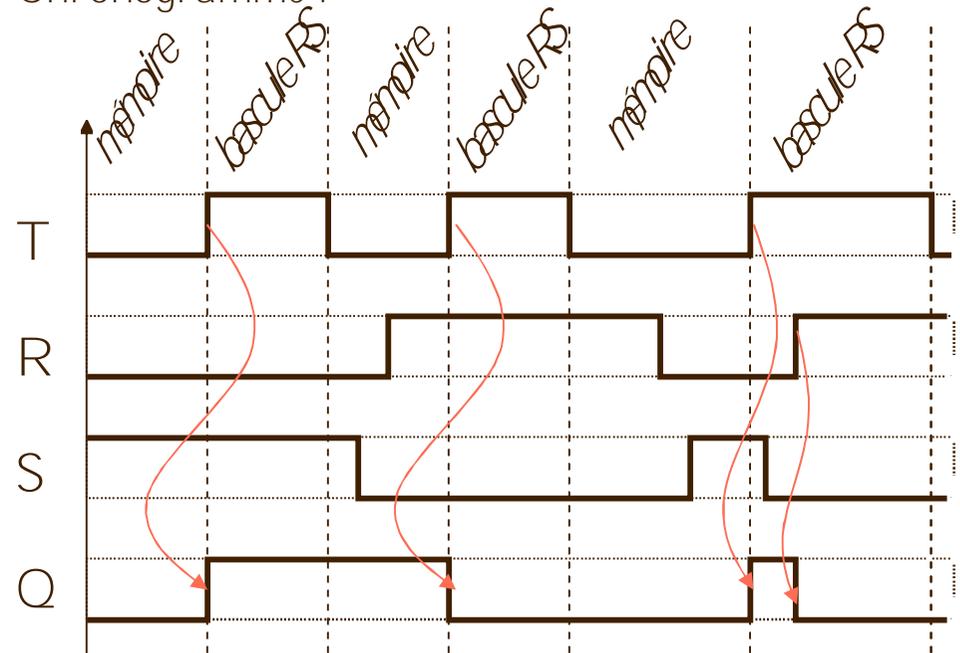
4 Registre sur front descendant



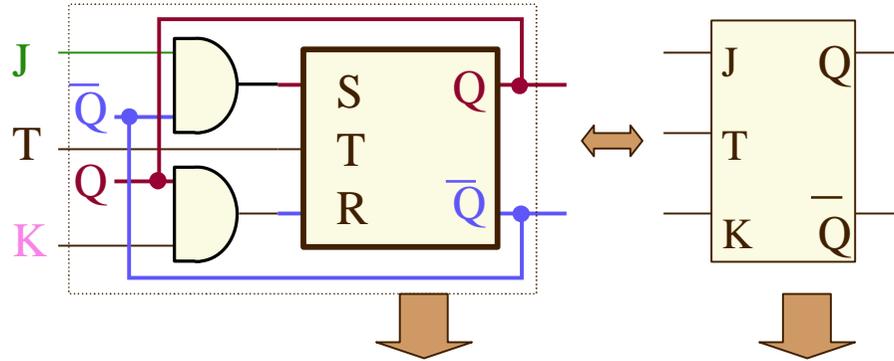
Fonctionnement :

- Signal d'horloge actif à bascule RS
- Absence de signal actif d'horloge à mémoire

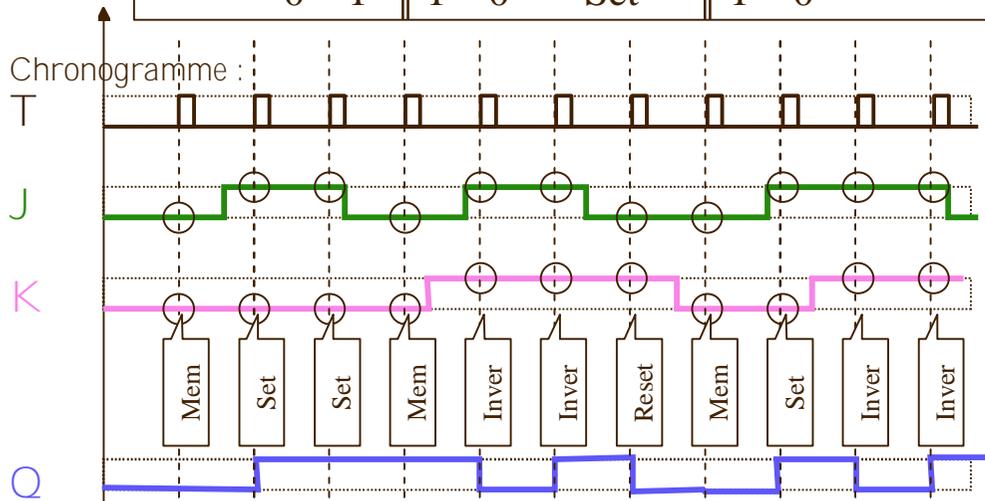
Chronogramme :



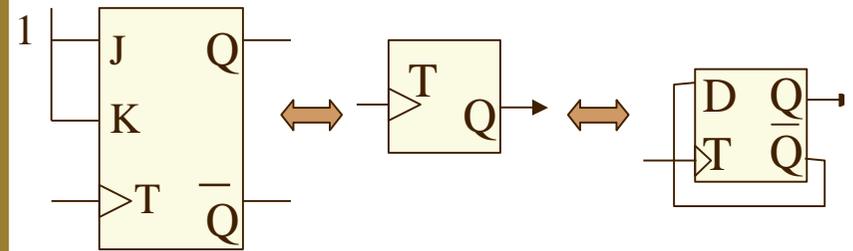
Bascule Synchrone J K



J	K	Q _o	Q _o ^{bar}	S	R	fonction	Q	Q ^{bar}	fonction
0	0	X	X	0	0	Mémo	X	X	Mémoire
0	1	1	0	0	1	Reset	0	1	Reset
		0	1	0	0	Mémo	0	1	
1	0	1	0	0	0	Mémo	1	0	
		0	1	1	0	Set	1	0	Set
1	1	1	0	0	1	Reset	0	1	Inversion
		0	1	1	0	Set	1	0	

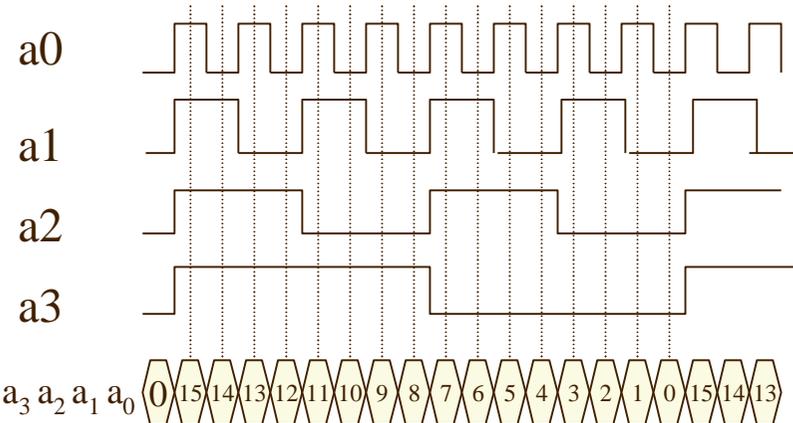
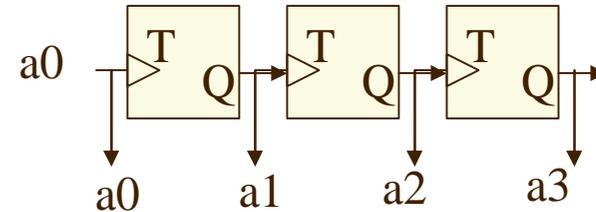


Bascule T : Toggle

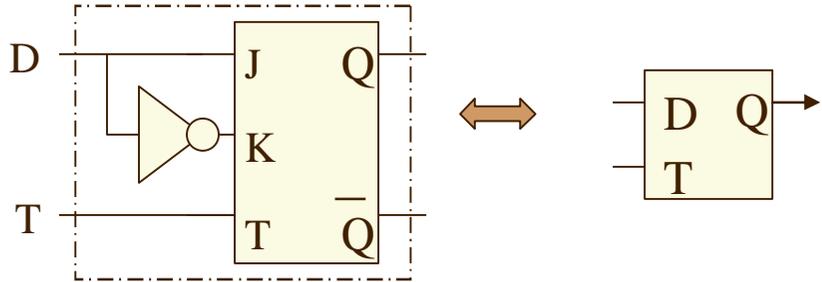


Fonctionnement: La sortie change d'état à chaque apparition d'un front actif d'horloge

Exemple : Décompteur 4 bits



Bascule D : Latch état Haut



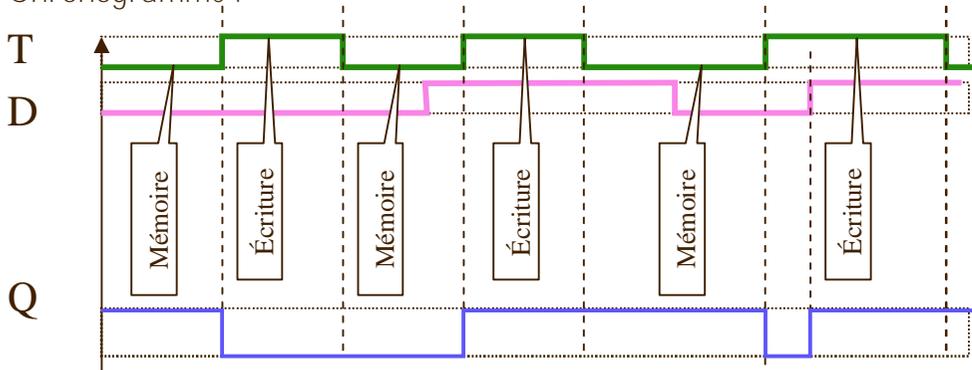
T	D	J	K	Q _{n+1}	fonction
0	X	X	X	Q _n	Mémo
1	1	1	0	1	Set
1	0	0	1	0	Reset

T	D	Q _{n+1}
0	X	Maintenir Q _n
1	D	Écrire D

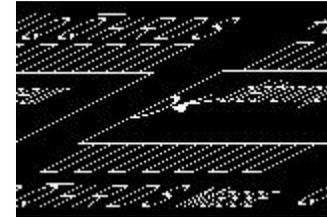
Fonctionnement :

Quand signal actif, la sortie recopie l'entrée D *Fonction Ecriture*
 Signal inactif *Fonction Mémoire*

Chronogramme :



Circuit



4 Entrées asynchrones Set ou Reset

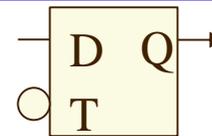
Set -> Mise à 1 asynchrone de la sortie

Reset ou Clear -> Mise à 0 asynchrone de la sortie

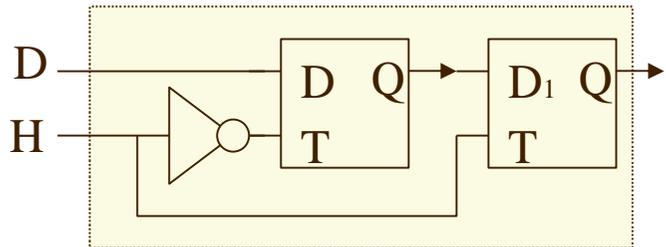
Entrées pouvant être actives sur le niveau bas

4 2 bascules par boîtier 14 pattes

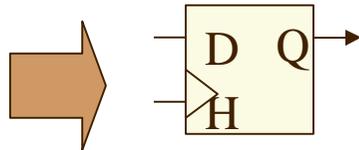
Bascule D : Latch état bas



Bascule D synchrone sur front



H	D	D ₁	Q
0	0	0	0
1	0	0	0
1	1	0	0
0	1	1	0
1	1	1	1
1	0	1	1



Fonctionnement :

4 Tant que H = 0

La première bascule recopie l'entrée D sur D₁

La deuxième bascule mémorise l'état précédent

4 Quand H passe à 1

La première bascule maintient D₁

La deuxième bascule le recopie sur Q

4 à écriture sur front montant 

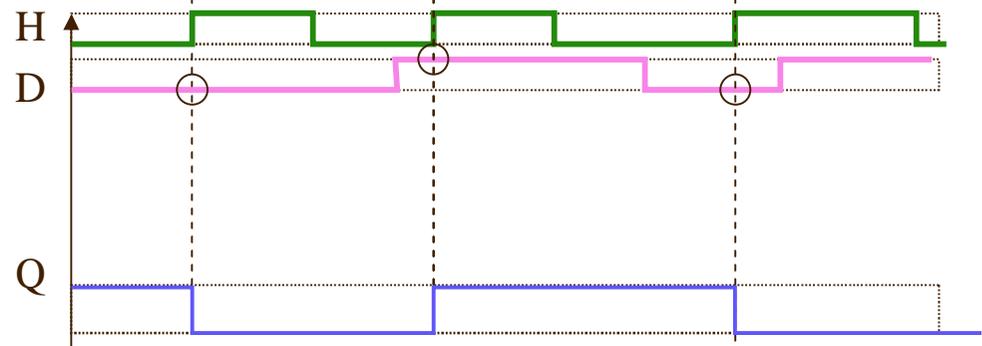
Fonctionnement :

Sur front Montant, la sortie recopie l'entrée D *Fonction Ecriture*

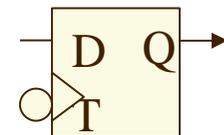
Sinon

Fonction Mémoire

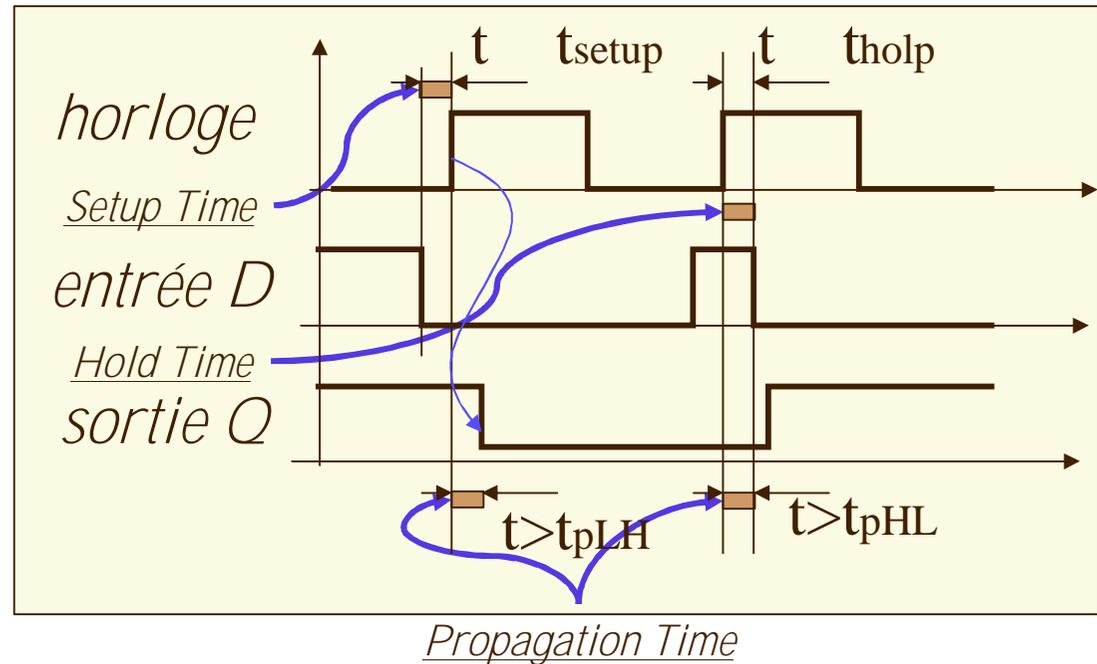
Chronogramme :



Bascule D synchrone sur front



Contraintes Temporelles



4 Respect du temps de conditionnement Setup Time

Le temps séparant l'arrivée du front actif d'horloge, du dernier changement de l'entrée D, doit être supérieur au temps de préconditionnement de la bascule (t_{setup})

4 Respect du temps de maintien Hold Time

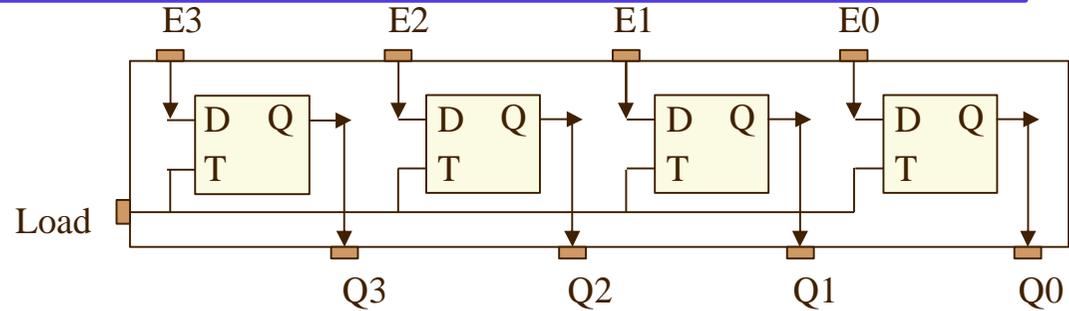
Après l'apparition d'un front actif d'horloge, les entrées doivent rester stables un temps au moins égal au temps de maintien (t_{hold}) de la bascule

4 Temps de propagation Propagation Time

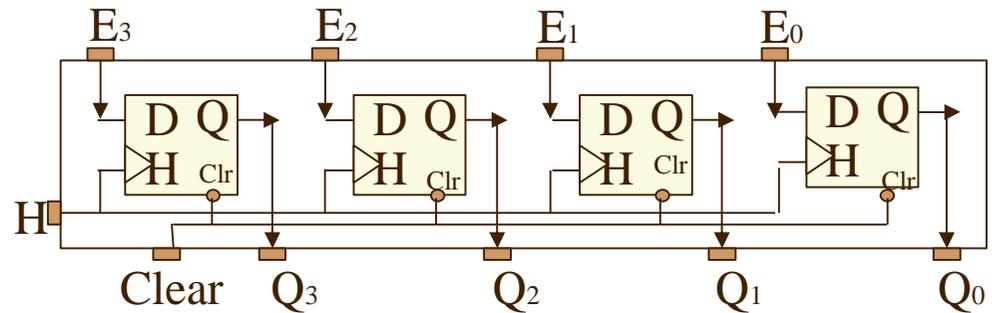
A partir de l'apparition d'un front actif d'horloge, un temps au moins égal au temps de propagation pour la transition attendue, sera nécessaire avant de pouvoir observer le changement des sorties

Registres à sorties parallèles, chargement parallèle ou série

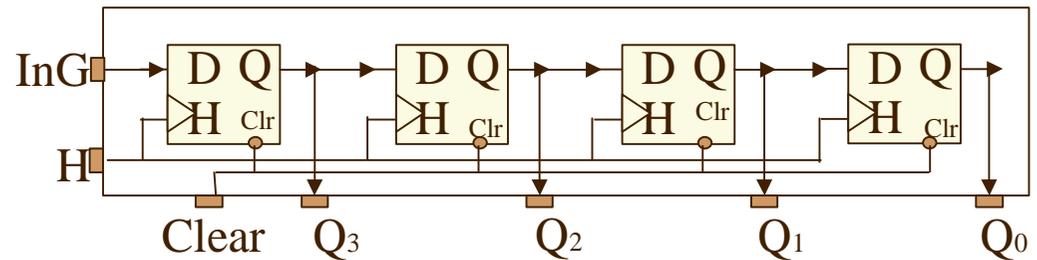
4 Registre 4 bits, actif sur niveau, à chargement parallèle



4 Registre 4 bits, actif sur front, avec clear asynchrone niveau bas à chargement parallèle

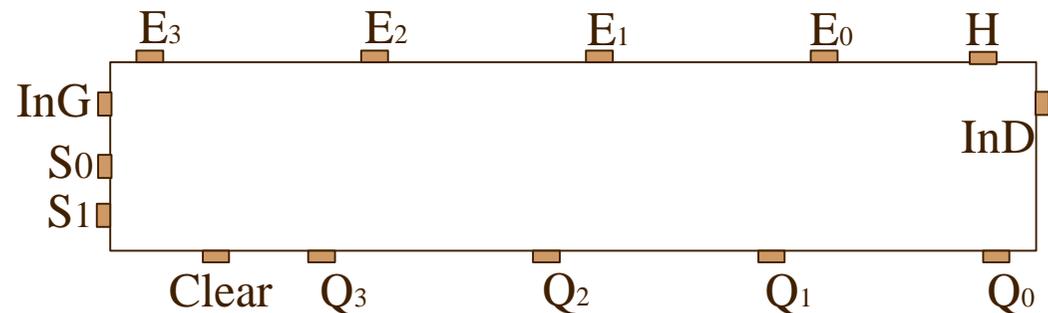


4 Registre 4 bits, actif sur front, avec clear asynchrone niveau bas à chargement série



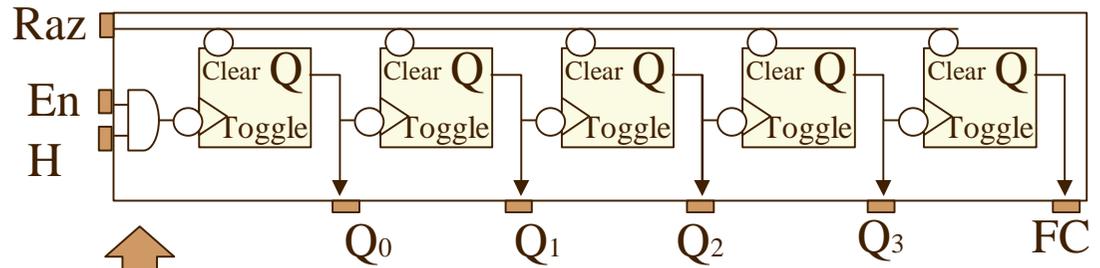
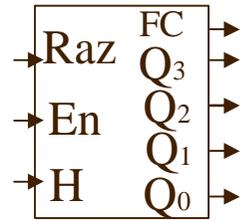
4 Registre universel

S ₀	S ₁	Fonctions
0	0	Mémoire
0	1	Décalage Droit
1	0	Décalage Gauche
1	1	Chargement parallèle

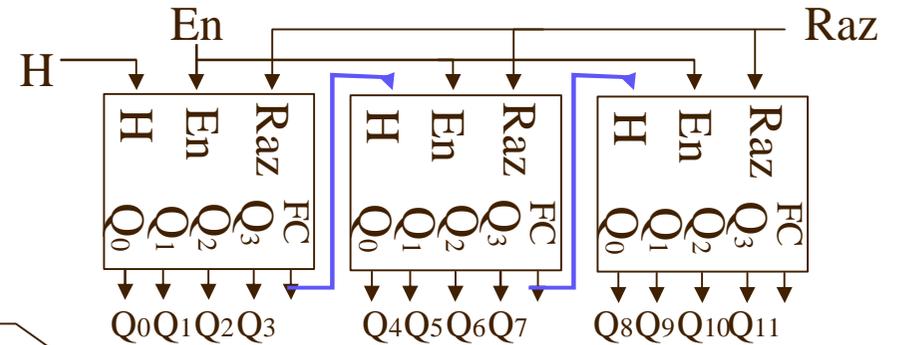


Compteurs

- 4 Compteur 4 bits, actif sur front, avec RAZ synchrone, Enable et Fin de comptage

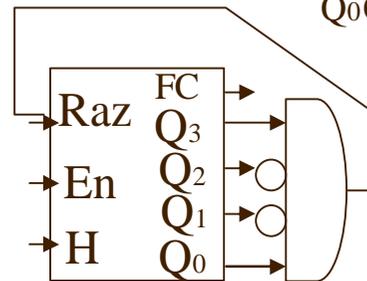


- 4 Compteur modulo 16ⁿ

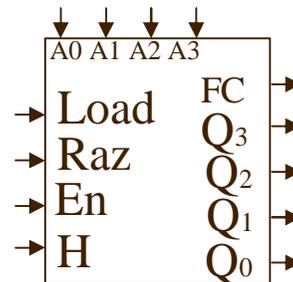


- 4 Compteur modulo 10 actif sur front,

- Comparer à 9
- RAZ synchrone sur horloge

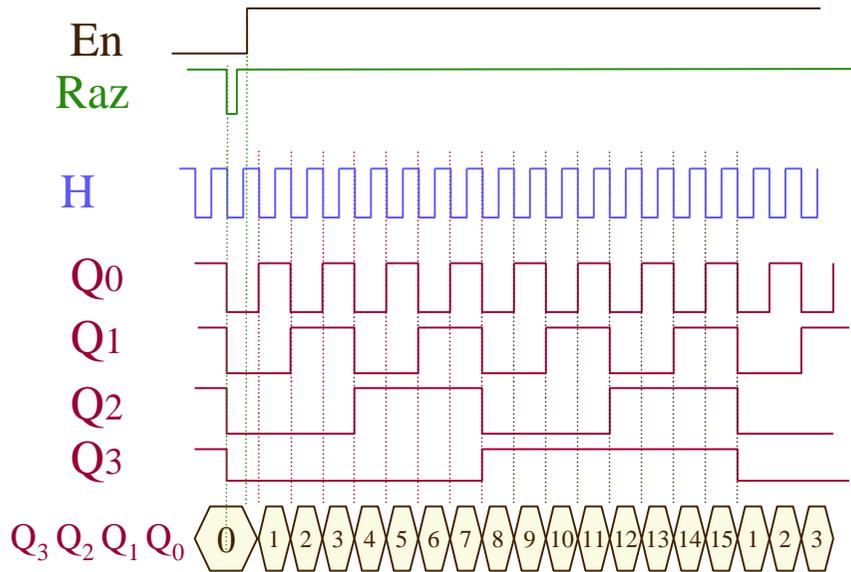
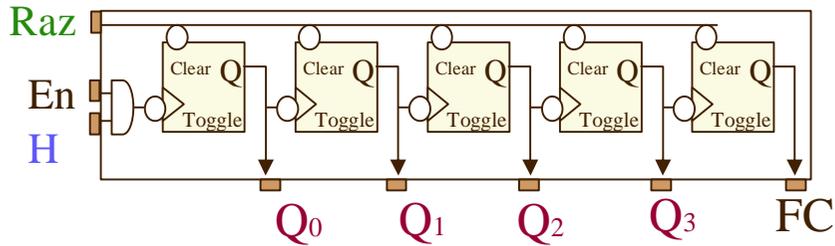
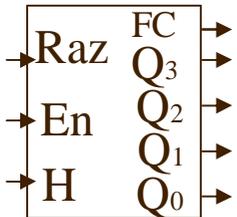


- 4 Compteur à préchargement

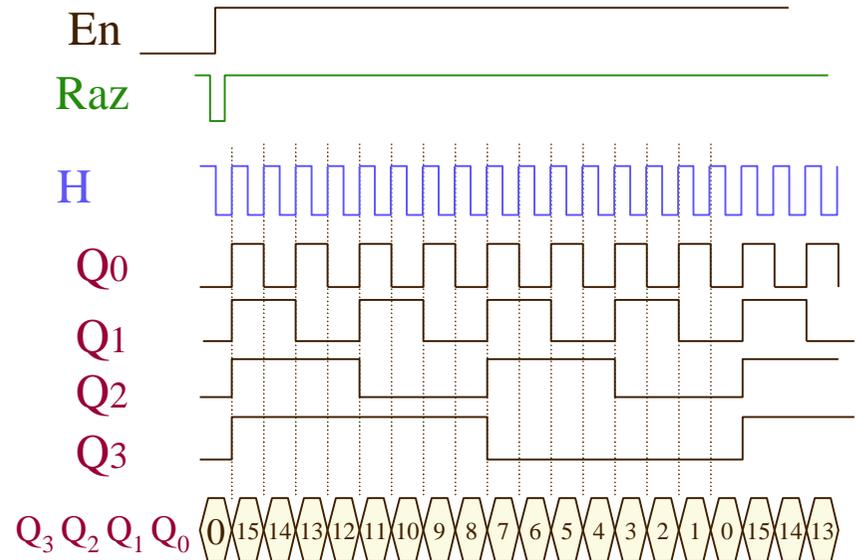
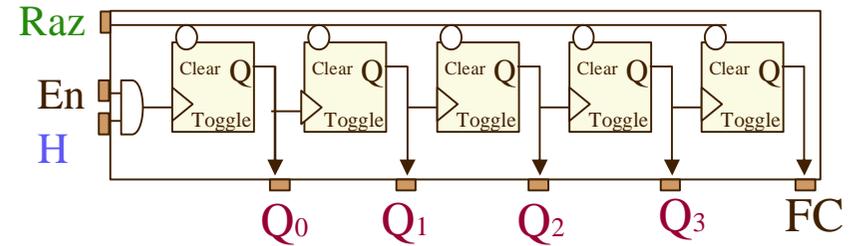


Compteurs - décompteur

4 Compteur diviseur de fréquence



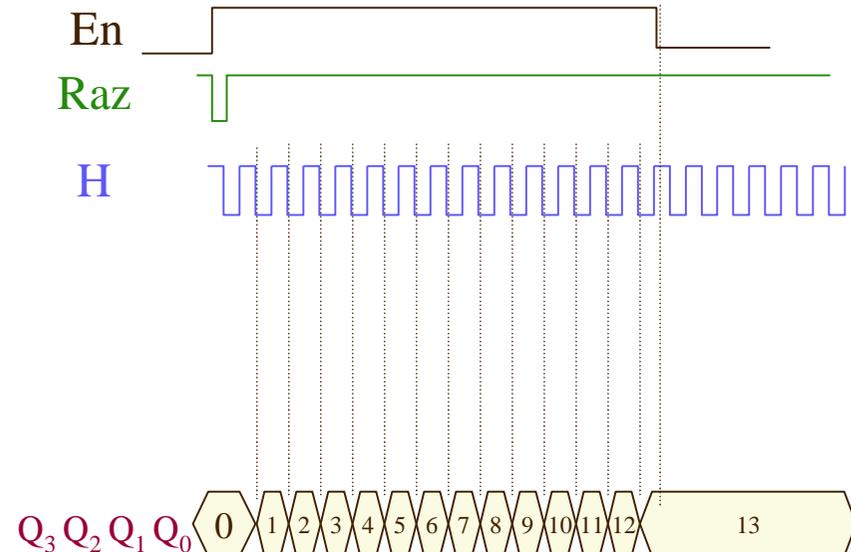
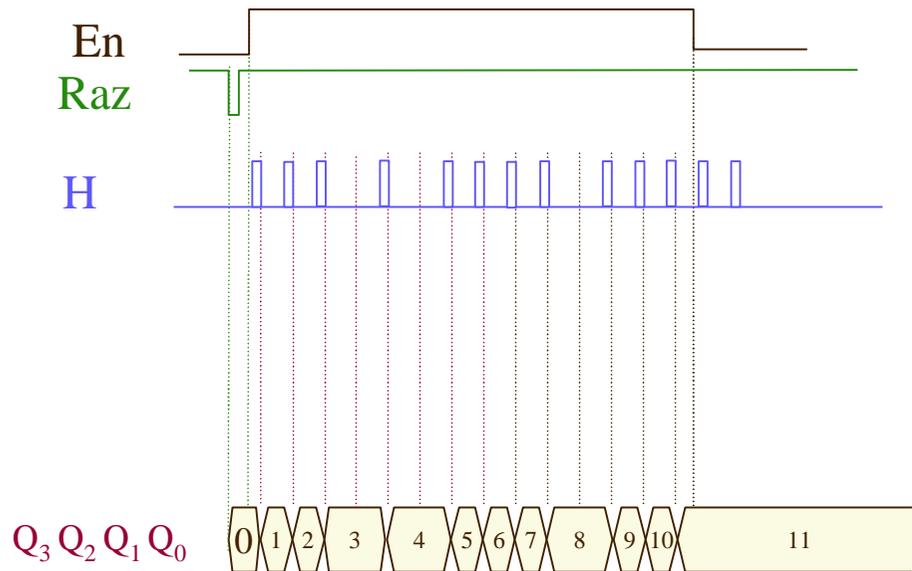
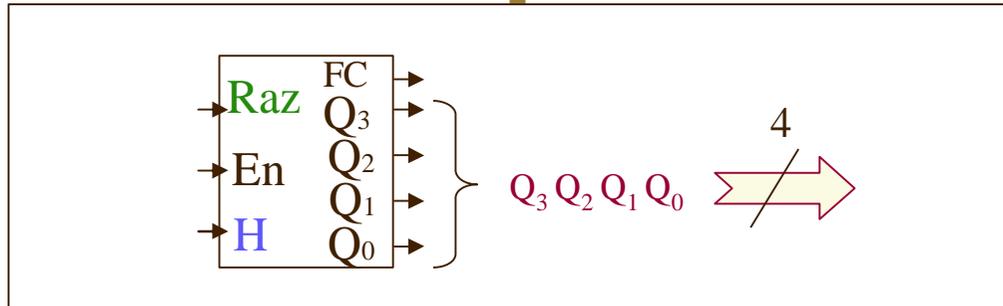
4 Décompteur diviseur de fréquence



Compteurs d'évènement – compteur de temps

4 Compteur d'évènement
– Mesure de fréquence

4 Compteur de temps
– Mesure de temps



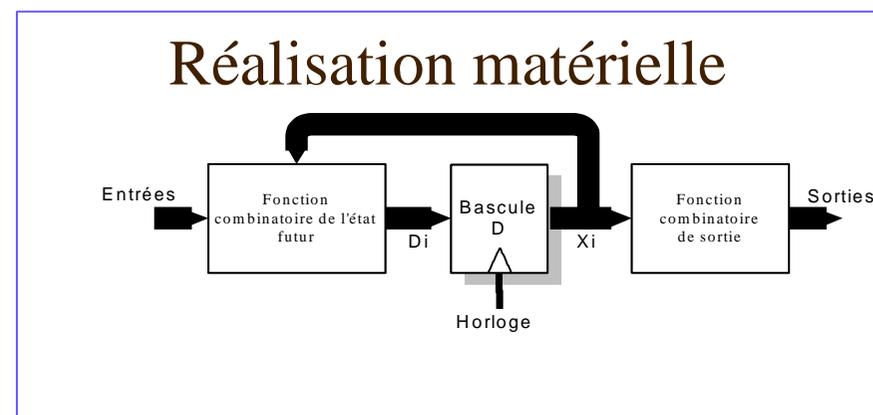
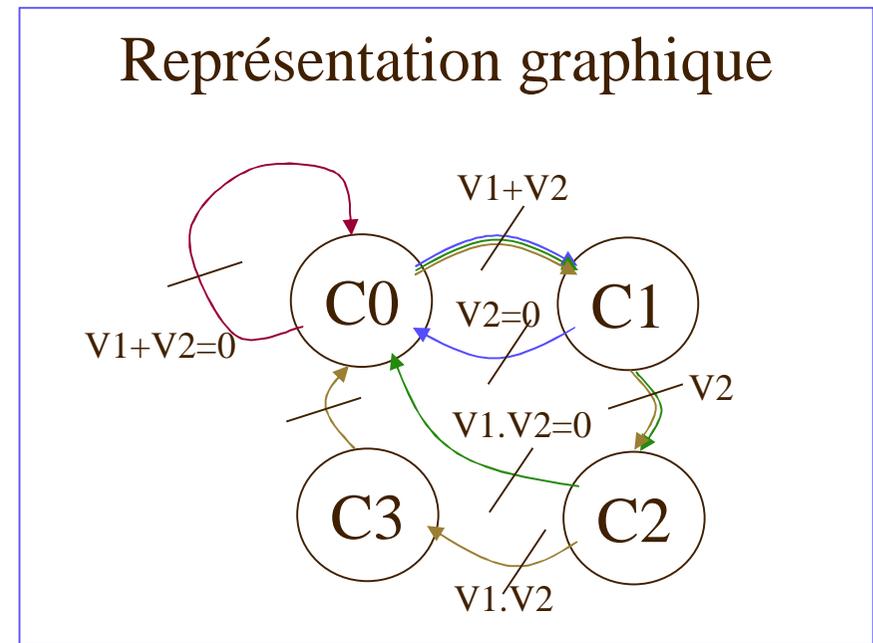
Automate à états et logique séquentielle

- 4 Compteur par 1, 2, 3 ou 4 à chaque coup d'horloge
 - 4 états possibles C0, C1, C2, C3
 - Etat = Où en est le comptage
- 4 Variable de contrôle du comptage

Contrôle du comptage	V2	V1
Compter par 1	0	0
Compter par 2	0	1
Compter par 3	1	0
Compter par 4	1	1

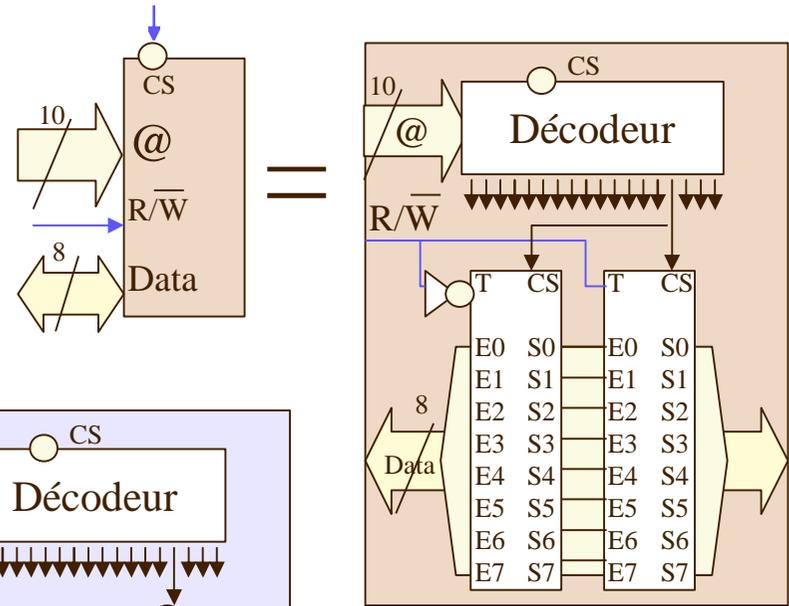
- 4 Transition d'état sur variable de contrôle

état présent	V2	V1	État futur
C0	0	0	C0
C0	Sinon		C1
C1	1	X	C2
C1	0	X	C0
C2	1	1	C3
C2	Sinon		C0
C3	X	X	C0

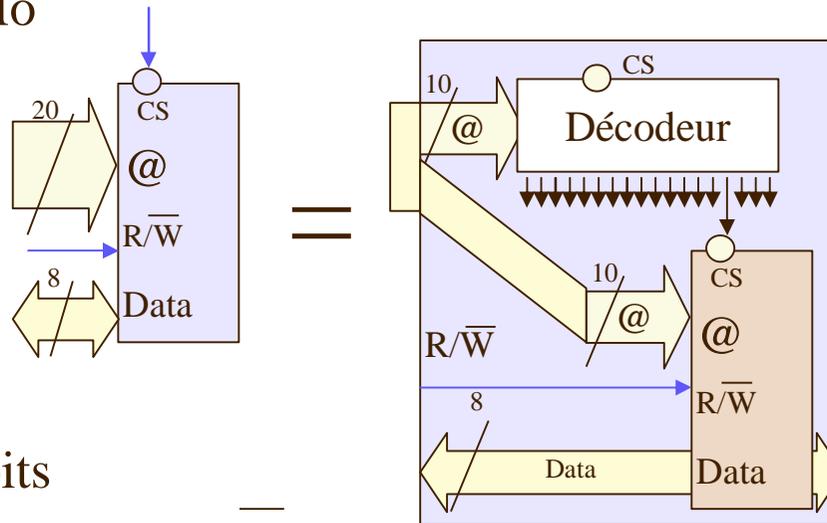


Mémoire

4 Circuit mémoire 1 Koctet

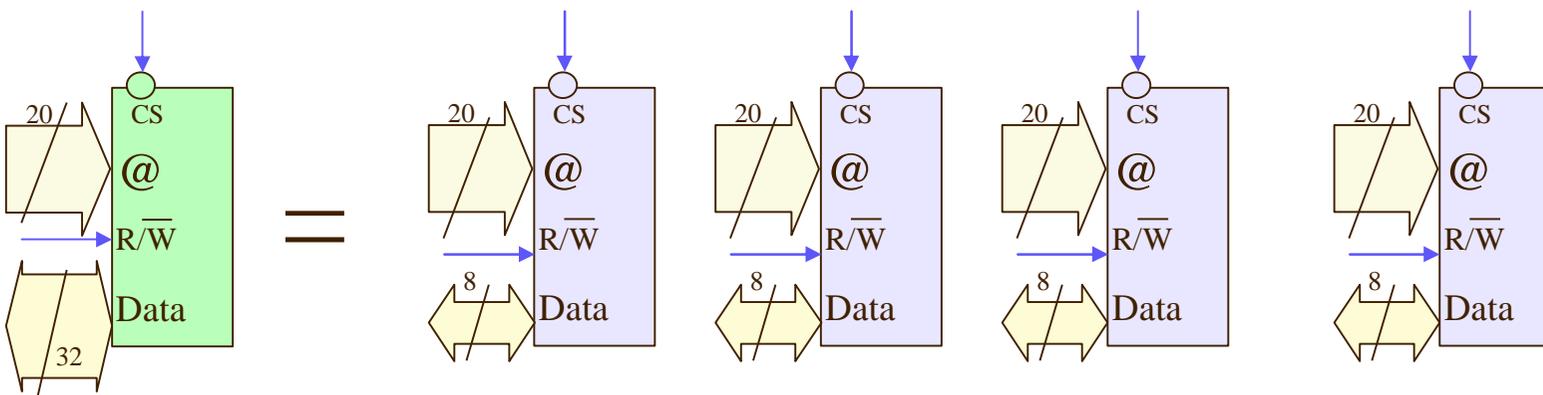


4 Circuit Mémoire 1 Mo



4 1 Méga mots de 32 bits

- Même @ ; même CS ; Même R/W
- Data sur 4 octets différents



Mémoire

4 Banc mémoire

